

## 明細書

### 半導体レーザ素子、およびその製造方法

#### 技術分野

- [0001] 本発明は、例えばリッジストライプ型の半導体レーザ素子、およびその製造方法に関するものである。

#### 背景技術

- [0002] 従来から、下記(1)・(2)に示すような半導体レーザ素子が製造されている。
- [0003] (1) 例えば特許文献1のような、従来のリッジストライプ型の半導体レーザ素子では、図8に示すような構造になっている。
- [0004] 具体的には、まず、n型の半導体基板100上に、n型クラッド層101・活性層102・p型クラッド層103・p型コンタクト層104が、1回目の結晶成長で連続的に成膜されるようになっている。
- [0005] 続いて、p型クラッド層103・p型コンタクト層104に、ストライプ状のリッジ105が形成されるようになっている。その後、2回目の結晶成長によって、リッジ105の頂上を除き、電流ブロック層106が形成されるようになっている。
- [0006] さらに、3回目の結晶成長によって、リッジ105と電流ブロック層106との全面を覆うように、p型埋め込み層107が形成されるようになっている。そして、n型電極108がn型の半導体基板100の下方に形成される一方、p型電極109がp型埋め込み層107上に形成されるようになっている。
- [0007] (2) 例えば特許文献2に示されているような半導体レーザ素子は、1つの半導体基板に、異なる波長を有する2つの半導体レーザ部を並設された、2波長タイプの半導体レーザ素子となっている。
- [0008] このような半導体レーザ素子では、第1の半導体レーザ部(L11';後述の図9参照)を構成する第1の積層体が、半導体基板上に、結晶成長されるようになっている。そして、この第1の積層体上に、第2の半導体レーザ部(L12';後述の図9参照)を配置するための領域が確保されるようになっている。
- [0009] 具体的には、半導体基板を露出させるために、一度にエッチングして(1回のみの

エッチングで)、第1の積層体の一部が除去されるようになっている。そして、第1の半導体レーザ部を構成する第1の積層体を残した基板上に、第2の半導体レーザ部を構成する第2の積層体が結晶成長されるようになっている。

- [0010] その後、第2の半導体レーザ部を形成させるために、第1の積層体上の第2の積層体がエッチングで除去されて、さらに、第1・第2の半導体レーザ部に対する電極が形成されるようになっている。

特許文献1:特許第3075728号公報

特許文献2:特開2001-244569号公報

#### 発明の開示

##### 発明が解決しようとする課題

- [0011] 上記したような(1)・(2)の半導体レーザ素子では、下記のような問題(問題1・問題2)が生じていまい、半導体レーザ素子の特性向上(素子特性の向上)を図りづらかつた。

- [0012] (問題1)

上記の(1)のような従来の半導体レーザ素子では、p型埋め込み層107が設けられている。そのため、製造コストの増加という問題が生じていた。また、3回の結晶成長工程を必要とするので、製造工程数も増加するという問題も生じていた。

- [0013] また、上記の従来の半導体レーザ素子では、活性層側を下にする上下反転配置(ジャンクションダウン配置)が採用されている。そのため、活性層の熱を放熱する経路に、p型埋め込み層107が位置することになる。したがって、放熱経路が長くなり、放熱性にも問題が生じていた。

- [0014] そこで、かかるような問題を解決すべく、p型埋め込み層107を除去した新規な構造を検討した。しかし、p型埋め込み層107を除去することで、p型電極109が、直接、リッジ105および電流ブロック層106上に、形成されるようにすると、電流広がりが不充分になることが判明した。特に、ストライプ状のリッジの両端における電流不足が判明した。

- [0015] このような、電流不足を改善するため、p型電極109をリッジの両端まで延長するという構造が検討された。しかしながら、リッジの両端で、共振面を構成するへき開が行

われた場合、p型電極109の重厚な厚さに起因して、へき開と同時に、p型電極109の一部が剥離するという問題(不良)が生じることになった。

[0016] そして、このような不良(電極剥がれ)が起きると、半導体レーザ素子が、所望の素子特性を得られなくなるという問題(素子不良)が生じるようになった。

[0017] (問題2)

上記の(2)のような、従来の半導体レーザ素子では、第2の半導体レーザ部(L12')を配置する領域を確保するとき、第1の積層体が一度のエッチングで(1回のエッチングで)除去されている。かかるような場合、この1回のエッティング除去に起因して、第1の積層体の最上層の凸凹が、露出した半導体基板の面上に悪影響を及ぼすことがある。

[0018] 具体的には、第1の積層体の最上層の凸凹に起因して、半導体基板の面上にも凸凹が生じることである。そして、このような、半導体基板の面上の凸凹は、その半導体基板上に結晶成長させる第2の積層体の結晶性の劣化要因になる。

[0019] 詳説すると、図9に示すように、第1の半導体レーザ部(L11')を構成する第1の積層体を生成する結晶成長(第1回目の結晶成長)を行った後に、第2の半導体レーザ部(L12')を構成する第2の積層体を生成する結晶成長(第2回目の結晶成長)を行うようになっている。

[0020] かかる場合、第2回目の結晶成長は、第1回目の結晶成長よりも低温で行われるようになっている。このような低温による第2回目の結晶成長を行うと、最上層の結晶性(a参照)が、低温成長の影響を受けて、その下層の結晶性(b参照)よりも悪くなる。いる。

[0021] 特に、第1回目の結晶成長層と第2回目の結晶成長層とを、一度にエッティングして除去すると、除去後に表面に露出する面(すわなち、半導体基板)の結晶性(c参照)が、最上層の形態を引き継ぐことによって劣化しやすい。

[0022] そして、このような結晶性の悪い半導体基板の面上に、第2の半導体レーザ部(L12')の結晶成長を行うと、その結晶性が悪くなりやすくなる。そのため、半導体レーザ部、ひいては半導体レーザ素子が、所望の素子特性を得られなくなるという問題(素子不良)が生じる。

[0023] 本発明は、p型埋め込み層等を除去することによって、部材の削減、製造工程数の削減を図るとともに、放熱性に優れた半導体レーザ素子を提供することを目的としている。

[0024] さらに、電極剥がれや、結晶性劣化等に起因する素子不良を抑制させた半導体レーザ素子を提供することを目的としている。

#### 課題を解決するための手段

[0025] 本発明は、半導体基板上の方の面に半導体レーザ層を設けるとともに、この半導体レーザ層および上記半導体基板を挟持するように、上記半導体レーザ層側に第1型電極を設ける一方、上記半導体基板側に第2型電極を設けた半導体レーザ素子である。そして、第1型電極は、第1電極と、この第1電極を覆う第2電極とから構成されていることを特徴としている。

[0026] そして、このような半導体レーザ素子を製造する方法、すなわち、第1型電極の製造工程は、第1電極を形成させる第1電極形成工程と、第2電極を形成させる第2電極形成工程とから構成されている。

[0027] このように、第1型電極を第1電極と第2電極との2層構造にすることで、多用な形状、例えば半導体レーザ素子を形成するときのへき開時(素子分離時)に、好適に対応できる形状となる。

[0028] 例えば、半導体レーザ層に、ストライプ状でかつ隆起したリッジが設けられている場合、第1電極は、リッジの少なくとも天部を覆うように形成させる一方、第2電極は、半導体レーザ層の一面の面積よりも、小さな面積で形成させるようにすることが好ましい。

[0029] つまり、半導体レーザ層に、ストライプ状でかつ隆起したリッジを設けるリッジ形成工程が含まれるようになっており、このリッジ形成工程後に、第1電極形成工程を行って、第1電極を、リッジの少なくとも天部を覆うように形成させる。

[0030] さらに、第2電極形成工程を行って、第1電極上に、第2電極を、半導体レーザ層の一面の面積よりも、小さな面積で形成させるようになっている。

[0031] これによると、第1電極が、リッジの天面の全面を覆う。したがって、電流をリッジのストライプ方向の両端にまで十分に供給させることができる。その上、第2電極は、半導

体レーザ層の一面の面積よりも、小サイズの面積となっている。

- [0032] 例えば、第2電極は、半導体レーザ層の周端部から離間するように形成されている。つまり、第2電極形成工程では、半導体レーザ層の周端部から離間するように第2電極を形成させている。
- [0033] すると、素子分離におけるへき開端面(へき開ライン)が、第2電極と重ならない。したがって、へき開に起因して、第2電極が、第1電極から剥がれ落ちる危険性が抑制される。
- [0034] なお、第1電極の膜厚は、第2電極の膜厚よりも薄いことが好ましい。具体的には、上記第1電極の膜厚が、10nm以上かつ30nm以下であることが好ましい。
- [0035] これによると、へき開のときに、第1電極の厚みが過厚(重厚)なために、剥離する(剥落;剥がれ落ちる)ような事態を防止できる。
- [0036] その上、へき開によって素子端面(へき開端面)を形成する場合、第2電極よりも十分薄いために剥がれにくい第1電極部分で、素子分離(へき開)が行われることになる。すると、素子分離での第2電極の剥離の危険性を確実に排除することができる。
- [0037] また、リッジが複数設けられている場合、例えば1枚状の半導体基板上に、レーザ光を発する半導体レーザ部が複数設けられている場合(モノリシックタイプの半導体レーザ素子の場合)、第2電極は、各リッジに対応した半導体レーザ層の一面の面積よりも、小さな面積で形成されていることが好ましい。
- [0038] つまり、リッジ形成工程で複数のリッジを形成させている場合、第2電極形成工程では、各リッジに対応した半導体レーザ層の一面の面積よりも、小さな面積で、第2電極が形成されるようになっている。
- [0039] このようにしておけば、上述してきた効果を得られるようになるためである。
- [0040] また、半導体レーザ層に、複数設けられたリッジ同士を区切る溝が形成されるようにし、第1電極が、溝によって区切られた半導体レーザ層の一面に対応して設けられていることが好ましい。
- [0041] つまり、本発明の半導体レーザ素子の製造方法では、リッジ形成工程で設けられた複数のリッジ同士を区切る溝を、半導体レーザ層に形成させる溝形成工程が含まれている。そして、第1電極形成工程では、溝形成工程によって形成された溝で区切ら

- れた半導体レーザ層の一面に対応して、第1電極が形成されている。
- [0042] これによると、形成された溝(分離溝)には、第1電極が形成されないようになる、そのため、各半導体レーザ部同士が電気的に断たれた状態となる。したがって、例えば分離溝に第1電極が形成されたことによって、短絡等が生じ、半導体レーザ素子の素子特性が悪化するような事態は起こりえない。
- [0043] また、本発明の半導体レーザ素子では、第1電極の膜厚は、第2電極の膜厚よりも薄いことが好ましい。具体的には、第1電極の膜厚が、10nm以上かつ30nm以下であることが好ましい。
- [0044] これによると、へき開のときに、第1電極の厚みが過厚(重厚)なために、剥離するような事態を防止できる。
- [0045] なお、第1電極形成工程および第2電極形成工程における、少なくとも一方は、リフトオフ法を用いて形成させていることが好ましい。
- [0046] リフトオフ法を用いれば、厚膜から薄膜までの、多様な厚みを有する電極を容易に形成できるためである。
- [0047] また、本発明の半導体レーザ素子の製造方法では、複数のリッジの形成される半導体レーザ層を設ける半導体レーザ層形成工程が、各リッジに対応する半導体レーザ層を形成する半導体レーザ部形成工程を複数含んでいる。
- [0048] そして、各半導体レーザ部形成工程は、複数段階の半導体結晶成長工程を含むように構成されている。その上、各段階の半導体結晶成長工程によって形成された半導体レーザ層を除去していく除去工程が、複数含まれるようになっている。
- [0049] 例えば、上記の除去工程は、段階的に複数含まれるようになっており、各除去工程は、各段階の半導体結晶成長工程によって形成された半導体レーザ層に対応して、各半導体レーザ層を除去するようになっていることが好ましい。
- [0050] これによると、半導体レーザ層形成工程は、各半導体レーザ層(各半導体レーザ部)に応じて、複数の半導体レーザ部形成工程から構成されている。そして、半導体レーザ部を形成させるためには、複数段階の半導体結晶成長工程が行われるようになっている。
- [0051] つまり、半導体レーザ部は、複数の半導体結晶(結晶成長層)から構成されるように

なっている。そして、本発明の半導体レーザ素子の製造方法では、各結晶成長層に対応する(すなわち各結晶成長層のみを除去する)除去工程が含まれるようになっている。

- [0052] 例えば、モノシリックタイプの半導体レーザ素子では、1枚状の半導体基板上に、複数の半導体レーザ部を設けるようになっている。そのため、1枚状の半導体基板上で、半導体レーザ部の配設位置を異ならせるようにしている。
- [0053] すると、1つの半導体レーザ部形成工程を経ることで、1つの半導体レーザ部(リッジに対応した半導体レーザ層)を半導体基板上に形成させた後、その形成された半導体レーザ部以外の領域(残存領域)に該当する半導体レーザ層を除去する必要がある。なぜなら、この残存領域に、別の半導体レーザ部を形成させるためである。
- [0054] ここで、本発明の半導体レーザ素子の製造方法では、既に形成された半導体レーザ層を段階的に除去するようになっている。具体的には、複数の半導体結晶(結晶成長層)から構成される半導体レーザ層を、各半導体結晶に対応させて除去するようになっている。
- [0055] つまり、本発明の半導体レーザ素子の製造方法では、各結晶成長層のみを除去する除去工程が複数含まれ、段階的に半導体レーザ層を除去するようになっている。
- [0056] 従来では、1度で(1回で)、半導体レーザ層を除去(例えばエッチング)していたので、半導体レーザ層の最上層の平滑性に依存して(例えば凸凹があると)、表出する半導体基板上の平滑性が劣化していた。
- [0057] しかしながら、本発明の半導体レーザ素子の製造方法のように、段階的な除去を行っていくと、最上層の平滑性の悪影響が、半導体基板を表出させる除去工程に至る、前段階の除去工程で解消されるようになる。つまり、最上層の凸凹等の影響を直接受けないようになる。
- [0058] したがって、複数回なされる除去工程を経ることで、表出する半導体基板上は、極めて平滑性の高いものとなる。そのため、上記の別の半導体レーザ部における半導体レーザ層の結晶性が高まり、所望の素子特性を有する半導体レーザ素子を形成できる。
- [0059] なお、上記の段階的な半導体結晶成長工程では、前段階の半導体結晶成長工程

での結晶成長温度よりも、後段階の半導体結晶成長工程での結晶成長温度のほうが低くなっていることが好ましい。

### 発明の効果

- [0060] 本発明によると、電極剥がれや、結晶性劣化等に起因する素子不良を抑制させた半導体レーザ素子が製造されるようになる。

### 図面の簡単な説明

- [0061] [図1]本発明の実施の形態1にかかる半導体レーザ素子の斜視図である。  
 [図2]本発明の実施の形態2にかかる半導体レーザ素子の斜視図である。  
 [図3]本発明の実施の形態3にかかる半導体レーザ素子の斜視図である。  
 [図4]本発明の実施の形態4にかかる半導体レーザ素子の斜視図である。  
 [図5A]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第1段階目の半導体結晶成長工程を示している。  
 [図5B]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第1段階目のリッジ形成工程を示している。  
 [図5C]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第2段階目の半導体結晶成長工程を示している。  
 [図5D]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第1段階目の除去工程を示している。  
 [図5E]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第2段階目の除去工程を示している。  
 [図5F]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第3段階目の半導体結晶成長工程を示している。  
 [図6G]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第3段階目の除去工程を示している。  
 [図6H]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第2段階目のリッジ形成工程を示している。  
 [図6I]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、第4段階目の半導体結晶成長工程を示している。

[図6J]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、開口形成工程を示している。

[図6K]本発明の実施の形態5にかかる半導体レーザ素子の製造方法を示す工程図であって、電極形成工程を示している。

[図7]2波長型のモノリシックタイプの半導体レーザ素子の斜視図である。

[図8]従来の半導体レーザ素子の斜視図である。

[図9]従来の半導体レーザ素子の製造方法の一部を示す正面図である。

### 符号の説明

- |        |                             |
|--------|-----------------------------|
| [0062] | 1 半導体基板                     |
|        | 2 n型クラッド層(半導体レーザ層)          |
|        | 3 活性層(半導体レーザ層)              |
|        | 4 p型クラッド層(半導体レーザ層)          |
|        | 5 p型コンタクト層(半導体レーザ層)         |
|        | 6 リッジ                       |
|        | 7 ブロック層                     |
|        | 8 p型電極(第1型電極)               |
|        | 9 第1電極                      |
|        | 10 第2電極                     |
|        | 11 n型電極(第2型電極)              |
|        | 12 分離溝(溝)                   |
|        | 21 半導体基板                    |
|        | 22 積層構造(第1結晶成長層)            |
|        | 23 n型クラッド層(半導体レーザ層)         |
|        | 24 活性層(半導体レーザ層)             |
|        | 25 p型クラッド層(半導体レーザ層)         |
|        | 26 p型のGaAs層(コンタクト層;半導体レーザ層) |
|        | 27 リッジ                      |
|        | 30 積層構造(第2結晶成長層;半導体レーザ層)    |

31 積層構造(第3結晶成長層;半導体レーザ層)

38 リッジ

42 p電極(第1型電極)

43 p電極(第1型電極)

44 n電極(第2型電極)

LD1～LD5 半導体レーザ素子

L1 半導体レーザ部

L2 半導体レーザ部

L11 半導体レーザ部

L12 半導体レーザ部

### 発明を実施するための最良の形態

[0063] 本発明の実施の一形態について、図面に基づいて説明すれば、以下の通りである。

[0064] [実施の形態1]

[半導体レーザ素子LD1について]

図1は、シングルルビーム型の半導体レーザ素子LD1の斜視図を示している。

[0065] <第1回目の結晶成長(第1結晶成長)>

この半導体レーザ素子LD1では、n型クラッド層2・活性層3・p型クラッド層4・p型コンタクト層5が、この順で、一定面積のn型の半導体基板1上に(すなわち半導体基板1側から)成膜されるようになっている。

[0066] なお、n型クラッド層2・活性層3・p型クラッド層4・p型コンタクト層5は、第1回目の結晶成長で(半導体結晶成長工程で)、連続的に成膜されるようになっている。

[0067] また、活性層3の上下を挟むn型クラッド層2とp型クラッド層4とは、ダブルヘテロ構造を構成するようになっている。つまり、n型クラッド層2とp型クラッド層4とは、活性層3を挟持するようになっている。

[0068] そして、このようなダブルヘテロ構造を形成させるため、活性層3のバンドギャップエネルギーよりも大きなバンドギャップエネルギーを持つ半導体が構成されるようになっている。

- [0069] なお、半導体レーザ素子LD1の発光波長は、活性層3を構成する材料、特にそのバンドギャップエネルギーによって選択されるようになっている。つまり、活性層3、およびその上下のn型クラッド層2・p型クラッド層4(クラッド層2・4)を構成する材料を適宜選択することによって、赤外から紫外の領域までの発光波長を選択できるようになっている。
- [0070] また、必要に応じて、半導体基板1と、n型クラッド層2との間に、n型バッファ層を配置することもできるようになっている。また、活性層3と、それに隣接するクラッド層との間に、必要に応じて光ガイド層を配置することもできるようになっている。
- [0071] なお、上述したn型クラッド層2・活性層3・p型クラッド層4を半導体レーザ層と表現する。また、n型クラッド層2・活性層3・p型クラッド層4に、p型コンタクト層5を加えたものを半導体レーザ層と表現しても構わない。
- [0072] また、この半導体レーザ層を形成する工程(ここでは、上記の半導体結晶成長工程)を半導体レーザ層形成工程と表現してもよい。
- [0073] 〈リッジの形成〉  
上述した第1回目の結晶成長に続いて、p型クラッド層4・p型コンタクト層5が、エッチング処理を施されることによって、断面を台形状とするリッジ6が形成されるようになっている(リッジ形成工程が行われるようになっている)。そして、このリッジ6は、光の出力方向(光軸)と同方向のストライプ状を有するように形成されるようになっている。
- [0074] なお、以下の説明では、リッジ6のストライプ方向は、半導体レーザ素子(例えばLD1等)の長さ方向(X方向)と表現し、リッジ6のストライプ方向と直交する方向は、半導体レーザ素子LD1の幅方向(Y方向)と表現する。
- [0075] また、半導体レーザ素子LD1の4側面のうち、リッジ6と交差して、共振端面を構成する側面は、端面A1・端面A2と表現し、リッジ6のストライプ方向と平行する側面は、端面B1・端面B2と表現する。
- [0076] 〈第2回目の結晶成長(第2結晶成長)〉  
リッジ6を形成した後、第2回目の結晶成長(n型半導体の成長)を行うことによって、リッジ6の天面を除いて、電流ブロック層7が形成されるようになっている(電流ブロック形成工程が行われるようになっている)。

[0077] 電流ブロック層7は、活性層3に注入する電流の経路をリッジ6の天面のみに絞り込むように機能するものである。なお、第1回目の結晶成長・第2回目の結晶成長は、MOCVD(Metal Organic Chemical Vapor Deposition)装置を用いた気相成長によって、行われるようになっている。

[0078] 〈p型電極の形成〉

続いて、電流ブロック層7の上面に、p型電極(p電極)8が形成されるようになっている(第1型電極の製造工程が行われるようになっている)。このp型電極(第1型電極)8は、第1の電極(第1電極)9と第2の電極(第2電極)10とから構成されるようになっている。

[0079] 具体的には、半導体レーザ素子LD1の上面に、第1電極9が形成された後(第1電極形成工程後)、この第1電極9上に、第2電極10が形成されるようになっている(第2電極形成工程が行われるようになっている)。

[0080] 《第1の電極》

そして、へき開によって素子分離を行う場合に、第1電極9が電流ブロック層7から剥がれないようにするために、第2電極10よりも十分に薄い膜厚に設定されている。例えば、 $1\text{ }\mu\text{m}$ 以下、好ましくは100nm以下、さらに好ましくは10～30nmの厚さに設定されるようになっている。

[0081] なお、第1電極9の材料は、リッジ6の天面に露出する半導体層、すなわち図1でのp型コンタクト層5とオーミックコンタクトを良好に得られる電極材料であることが好ましい。

[0082] また、第1電極9は、半導体レーザ素子LD1の上面の全面を覆うようになっている。しかしながら、少なくとも、リッジ6の電流注入経路となる天面を覆うように形成していればよい(詳細は後述)。

[0083] 《第2の電極》

一方、第2電極10は、金を主体とする電極材料で構成されるようになっている(第2電極形成工程が行われるようになっている)。

[0084] そして、この第2電極10は、リッジ6のX方向の両端(すなわち、端面A1・端面A2)から一定の距離、例えば10～30 $\mu\text{m}$ 隔てて形成されるようになっている。また、第2

電極10は、端面B1・端面B2からも、一定の距離、例えば10～30  $\mu\text{m}$  隔てて形成されるようになっている。

- [0085] このように、端面(A1・A2・B1・B2)から離間して、第2電極10が形成されているのは、下記理由のためである。
  - [0086] 第2電極10の膜厚は、第1電極9の膜厚よりも厚く形成されている。例えば、第2電極10の膜厚が2  $\mu\text{m}$  等よりも厚く形成されている場合がある。そして、このような第2電極1が、素子のへき開予定位置に位置していると、へき開時(へき開工程時)に電極を分断できないおそれがある。そのため、素子分離時に、第2電極10が第1電極9から剥がれてしまうという事態が生じ得る。
  - [0087] しかしながら、上述のように、厚膜の電極材料である第2電極10が、素子のへき開位置から離れて配置されている場合、素子分離時に厚膜電極(第2電極10)が剥がれてしまう危険性を回避することができるためである。
  - [0088] 〈n型電極の形成〉  
n型電極(n電極)11は、半導体基板1の裏面(n型クラッド層2の積層面の反対面)に形成されるようになっている。そして、n型電極(第2型電極)11は、半導体基板1とオーミックコンタクトを良好に得られる電極材料であることが好ましい。
  - [0089] なお、n型電極11は、へき開による素子分離時に、半導体基板1から剥がれてしまうことがないような膜厚範囲が好ましい。また、ワイヤボンド時の衝撃を吸収できるよう、膜厚範囲が好ましい。このような膜厚範囲としては、例えば、0.5  $\mu\text{m}$ ～2.0  $\mu\text{m}$  の範囲の厚さが挙げられる。
  - [0090] また、n型電極11は、p型電極8の形成後、あるいはp型電極8の形成に先立って、形成されるようにしてよい。
  - [0091] 〈素子分離について〉  
上述のように、電極(p型電極8・n型電極11)が形成されると、まず、ウエハ状態から、Y方向にスクライブ線を入れて加圧し、バー状に素子分離(へき開工程)が行われるようになっている。
  - [0092] 次に、露出した端面A1・端面A2に、反射膜を形成し、バー状のウエハをX方向に、スクライブ法あるいはダイシング法を用いて、素子分離(へき開工程)が行われるよう

になっている。そして、このような素子分離が行われた結果、図1に示すような、1つの半導体レーザ素子LD1が形成されるようになる。

- [0093] なお、半導体レーザ素子LD1は、上下反転(ジャンクションダウン)して、リード電極部分(図示せず)に配置されるようになっている。具体的には、p型電極8が導電材料を用いて、リード電極上に固定されるようになっている。
- [0094] 一方、n型電極11には、ワイヤボンド線等の配線(図示せず)が接続されるようになっている。そして、p型電極8とn型電極11との間に、所定の電圧が加えられることによって、半導体レーザ素子LD1が動作し、リッジ6直下の活性層3部分からX方向に所定波長のレーザ光が出射するようになっている。
- [0095] [半導体レーザ素子LD1の種々の特徴について]
 

以上のように、本発明の半導体レーザ素子LD1は、半導体基板1上の方の面に、半導体レーザ層を設けるとともに、この半導体レーザ層および半導体基板1を挟持するように、半導体レーザ層側にp型電極8を設ける一方、半導体基板1側にn型電極11を設けるようになっている。
- [0096] そして、p型電極8は、第1電極9と、この第1電極9を覆う第2電極10とから構成されるようになっている。
- [0097] すると、このような半導体レーザ素子LD1を製造する方法では、p電極8の製造工程が、第1電極9を形成させる第1電極形成工程と、上記第2電極10を形成させる第2電極形成工程とから構成されるようになっている。
- [0098] また、特に、半導体レーザ層に、ストライプ状でかつ隆起したリッジ6が設けられている場合、第1電極9は、リッジ6の少なくとも天部(具体的にはp型コンタクト層5)を覆うように形成される一方、第2電極10は、半導体レーザ層の一面の面積よりも、小さな面積で形成されるようになっている。
- [0099] つまり、本発明の半導体レーザ素子の製造方法では、半導体レーザ層に、ストライプ状でかつ隆起したリッジ6を設けるリッジ形成工程が含まれるようになっており、このリッジ形成工程後に、第1電極形成工程を行って、第1電極9を、リッジ6の少なくとも天部を覆うように形成させるようになっている。
- [0100] さらに、第2電極形成工程を行って、第1電極9上に、第2電極10を、半導体レーザ

層の一面の面積よりも、小さな面積で形成させるようになっている。

- [0101] これによると、本発明の半導体レーザ素子LD1では、第1電極9が、リッジ6の天面の全面を覆う。したがって、電流をリッジ6のストライプ方向の両端にまで十分に供給させることができる。
- [0102] その上、第2電極10は、半導体レーザ層の一面の面積よりも、小サイズの面積となっている。例えば、第2電極10は、半導体レーザ層の周端部(端面A1・A2・B1・B2)から離間するように形成されている。
- [0103] すると、素子分離におけるへき開端面(へき開ライン;(端面A1・A2・B1・B2))が、第2電極10と重ならない。したがって、へき開に起因して、第2電極10が、第1電極9から剥がれ落ちる危険性が抑制されることになる。
- [0104] また、本発明の半導体レーザ素子LD1では、第1電極9の膜厚は、第2電極10の膜厚よりも薄くなっている。そのため、へき開のときに、第1電極9の厚みが過厚(重厚)なために、この第1電極9が剥離するような事態を防止できる。
- [0105] [実施の形態2]  
本発明の第2の実施形態を図2を参照しながら説明する。なお、実施の形態1で用いた部材と同様の機能を有する部材については、同一の符号を付記し、その説明を省略する。そして、変更点を中心説明していく。
- [0106] 本発明の第2の実施形態が、第1の実施形態と相違する点は、第1の電極(第1電極)9の形状である。第1の実施形態では、リッジ6の天面を含む半導体レーザ素子LD1の全面に、第1電極9が形成されるようになっていた。しかしながら、このような形状に限定されるものではない。
- [0107] 例えば、図2に示すように、第1電極9が、少なくとも、リッジ6の天面を含み、かつこのリッジ6の上方のみを覆うように、形成されていても構わない。具体的な一例を挙げると、第1電極9が、半導体レーザ素子LD2の端面B1・端面B2から、一定の間隔を保つようにして、リッジ6と同方向のストライプ状に形成されるようになっているものが挙げられる。
- [0108] そして、かかるようなストライプ状の第1電極9では、Y方向の長さは、第2電極10のY方向の長さよりも短くなっている。そのため、第2電極10が、第1電極9および電流

ブロック層7の両方を覆うようになっている(接するようになっている)。

- [0109] このような半導体レーザ素子LD2であれば、上述の半導体レーザ素子LD1同様に、第1電極9がリッジ6の天面の全面を覆うことになる。そのため、電流をリッジ6のストライプ方向の両端まで、十分に供給することができる。
- [0110] また、第1電極9は、第2電極10よりも、十分に薄くなっているので、へき開して素子分離する場合、第1電極9が剥がれ落ちる危険性を排除することができる。
- [0111] また、第1電極9よりも厚い第2電極10が、リッジ6のストライプ方向の両端から一定の距離隔てで形成されるようになっている。したがって、素子分離の場合に、第2電極10が剥がれ落ちる危険性を排除することができる。
- [0112] また、このようなストライプ状に第1電極9を形成することによって、素子分離時や第2電極10のリフトオフ時に、第1電極9の剥がれる危険性を少なくさせることができる。
- [0113] [実施の形態3]
 

本発明の第3の実施形態を図3を参照しながら説明する。なお、実施の形態1・2で用いた部材と同様の機能を有する部材については、同一の符号を付記し、その説明を省略する。そして、変更点を中心説明していく。
- [0114] 第1の実施形態と相違する点は、シングルビーム型の半導体レーザ素子(LD1)からマルチビーム型の半導体レーザ素子LD3とした点である。すなわち、共通の(1枚状の)半導体基板1上に、複数の半導体レーザ部(この例では2つの半導体レーザ部(L1・L2))を備えるマルチビーム型の(モノシリックタイプの)半導体レーザ素子LD3としたことを特徴としている。
- [0115] そして、半導体レーザ部L1・半導体レーザ部L2は、第1の実施形態で説明してきた構造と同一構造となっている。つまり、半導体レーザ素子LD3は、第1の実施形態で上述してきた構造(p型電極8)を有する半導体レーザ部L1・L2が、1枚状の半導体基板1上に、複数配置で構成されるようになっている。
- [0116] なお、この例では2つの半導体レーザ部L1・L2を備えるようになっているが、3つ以上の半導体レーザ部を配置するように構成されていてもよい。
- [0117] そして、半導体レーザ素子LD3では、半導体レーザ部L1と半導体レーザ部L2との間に分離溝(溝)12が形成されるようになっている(溝形成工程が行われるようになって

いる)。この間に位置する分離溝12は、半導体レーザ部L1と半導体レーザL2とを相互に電気的分離させるものである。

- [0118] なお、この分離溝12は、例えば、半導体レーザ部L1・L2に、p型電極8・n型電極11を形成させる前に、結晶成長させた半導体レーザ層のエッチング処理と同時に形成させるようになっている。しかし、分離溝12は、この形成タイミングや、形成方法(エッチング処理等)に限定されることはない。
- [0119] 例えば、分離溝12は、p型電極8・n型電極11の形成前、あるいは、形成後に、エッチング以外のダイシングやレーザ加工などの方法を用いて形成されるようになっているてもよい。
- [0120] また、この分離溝12の形成された半導体レーザ素子LD3では、分離溝12に第1電極9および第2電極10が形成されないようにする必要がある。つまり、第1電極9が、分離溝12によって区切られた半導体レーザ層の一面に対応して設けられる必要がある(短絡防止のためである)。
- [0121] そのため、半導体レーザ素子LD3での、第1電極9および第2電極10の形成工程では、例えばリフトオフ法を用いて、選択的(すなわち各半導体レーザ部L1・L2の上面のみに)に、p電極8(第1電極9および第2電極10)が形成されるようになっている。
- [0122] 以上のように、リッジ6が複数設けられている場合、すなわち1枚状の半導体基板1上に、レーザ光を発する半導体レーザ部(L1・L2)が複数設けられている場合であっても、本発明の半導体レーザ素子LD3では、第2電極10は、各リッジ6に対応した半導体レーザ層の一面の面積よりも、小さな面積で形成されるようになっている。
- [0123] つまり、リッジ形成工程で、複数のリッジ6を形成させている場合、第2電極形成工程では、各リッジ6に対応した半導体レーザ層の一面の面積よりも、小さな面積で第2電極10が形成されるようになっている。
- [0124] このようにしておけば、上述した効果(半導体レーザ素子LD1・LD2での効果と同様の効果)を得られるためである。もちろん、半導体レーザ素子LD3においても、上述の半導体レーザ素子LD1・LD2同様に、第1電極9がリッジ6の天面の全面を覆うことになっているので、電流をリッジ6のストライプ方向の両端まで、十分に供給すること

とができる。

- [0125] また、半導体レーザ素子LD3でも、第1電極9が、第2電極10よりも十分に薄くなっている点、および、第1電極9の膜厚よりも厚膜の第2電極10が、リッジ6のストライプ方向の両端から一定の距離隔てて形成されるようになっている点は、半導体レーザ素子LD1・LD2と同様になっている。
- [0126] したがって、へき開して素子分離の場合に、第2電極10が剥がれ落ちる危険性を排除することができる。
- [0127] また、本発明では、リッジ形成工程で設けられた複数のリッジ6同士を区切る分離溝12を、半導体レーザ層に形成させる溝形成工程が含まれている。その上、第1電極形成工程では、溝形成工程によって形成された分離溝12によって区切られた半導体レーザ層の一面に対応して、第1電極9が形成されるようになっている。
- [0128] これによると、形成された分離溝12には、第1電極9が形成されないようになる、そのため、各半導体レーザ部(L1・L2)同士が電気的に断たれた状態となる。したがって、例えば分離溝12に第1電極9が形成されたことによって、短絡等が生じ、半導体レーザ素子の素子特性が悪化するような事態は起こりえない。
- [0129] [実施の形態4]
 

本発明の第4の実施形態を図4を参照しながら説明する。なお、実施の形態1～3で用いた部材と同様の機能を有する部材については、同一の符号を付記し、その説明を省略する。そして、変更点を中心説明していく。
- [0130] 第2の実施形態と相違する点は、シングルビーム型の半導体レーザ素子(LD2)からマルチビーム型の半導体レーザ素子LD4とした点である。すなわち、共通の(1枚状の)半導体基板1上に、複数の半導体レーザ部(この例では2つの半導体レーザ部(L1・L2))を備えるマルチビーム型の(モノシリックタイプの)半導体レーザ素子としたことを特徴としている。
- [0131] そして、半導体レーザ部L1・半導体レーザ部L2は、第2の実施形態で説明してきた構造と同一構造となっている。つまり、半導体レーザ素子LD4は、第2の実施形態で上述してきた構造(p型電極8)を有する半導体レーザ部L1・L2が、1枚状の半導体基板1上に、複数配置されて構成するようになっている。

- [0132] なお、この例では2つの半導体レーザ部L1・L2を備えるようになっているが、3つ以上の半導体レーザ部を配置するように構成されていてもよい。
- [0133] そして、半導体レーザ素子LD4では、半導体レーザ部L1と半導体レーザ部L2との間に分離溝12が形成されるようになっている。この間に位置する分離溝12は、半導体レーザ部L1と半導体レーザ部L2とを相互に電気的分離させるものである。
- [0134] なお、この分離溝12は、上述同様、例えば、半導体レーザ部L1・L2に、p型電極8・n型電極11を形成させる前に、結晶成長させた半導体層のエッチング処理と同時に形成させるようになっている。しかし、分離溝12は、この形成タイミングや、形成方法(エッチング処理等)に限定されることはない。
- [0135] 例えば、分離溝12は、p型電極8・n型電極11の形成前、あるいは、形成後に、エッチング以外のダイシングやレーザ加工などの方法を用いて形成されるようになっていてもよい。
- [0136] また、この分離溝12の形成された半導体レーザ素子LD4では、分離溝12に第1電極9および第2電極10が形成されないようにする必要がある。そのため、半導体レーザ素子LD4での、第1電極9および第2電極10の形成工程では、例えばリフトオフ法を用いて、選択的に(すなわち各半導体レーザ部L1・L2の上面のみに)、電極(第1電極9および第2電極10)が形成されるようになっている。
- [0137] 以上のような半導体レーザ素子LD4であれば、上述してきた半導体レーザ素子LD1～LD3に生じる有用な効果と同様の効果を奏じるようになっている。
- [0138] [実施の形態3・4を応用した形態]  
なお、本発明は上記の実施の形態に限定されず、本発明の趣旨を逸脱しない範囲で、種々の変更が可能である。
- [0139] 例えば、上述してきた実施の形態3・実施の形態4では、各半導体レーザ部L1・L2の形成工程において、第1電極9および/または第2電極10(すなわち、第1電極9および第2電極10の少なくとも一方)は、同一の電極材料を用いて、同時に形成されるようになっている。そのため、製造工程の共通化が図れるといえる。
- [0140] 実施の形態3の変形例、または、実施の形態4の変形例としは、複数の半導体レーザ部L1・L2が、互いに異なる発光波長を有するようになっていてもよい。すなわち、

発光波長の相違する多波長型のマルチビーム型の半導体レーザ素子であってよい(例えば、2波長の出力が可能な半導体レーザ素子であってもよい)。

- [0141] なお、複数の半導体レーザ部L1・L2の発光波長が各々異なるようになっている場合であっても、各半導体レーザ部L1・L2の形成工程において、上記のように、第1電極9および／または第2電極10が、同一の電極材料を用いて、同時に形成されるようになっていてもよい。
- [0142] このようにしておけば、第1電極9および第2電極10を同一の電極材料を用いて、同時に形成することによって、製造工程の共通化を図ることもできる。一方、各半導体レーザ部L1・L2に応じて、第1電極9および第2電極10を異なる電極材料で形成させることもできる。
- [0143] なお、いずれの場合であっても、実施の形態3・実施の形態4と、同様の作用効果を得られることはいうまでもない。
- [0144] また、上述してきた半導体レーザ素子LD1～LD4では、リッジ6上に埋め込み層を必要としない。そのため、部材の削減、製造工程数の削減を図ることができる。また、放熱性に優れた半導体レーザ素子になっているともいえる。
- [0145] [実施の形態5]
 

ここで、一例として上述した、複数の半導体レーザ部L11・L12が、互いに異なる発光波長を有するようになっている半導体レーザ素子LD5(後述の図7参照)について、図5A～図5Fおよび図6G～図6Kを用いて説明する。なお、各図面において、便宜上、図示できない部材番号については、他の図面を参照するものとする。
- [0146] 具体的には、赤外に中心波長を有する第1の半導体レーザ部L11と、赤色に中心波長を有する第2の半導体レーザ部L12を有する2波長タイプの半導体レーザ素子LD5を製造する工程について説明していく。
- [0147] [半導体レーザ素子の製造方法について]
 

〈第1回目の結晶成長(第1結晶成長)〉

図5Aに示すように、まず、半導体基板21の上に、MOCVD法を用いて、第1回目の結晶成長を行い(第1段階目の半導体結晶成長工程を行い)、ダブルヘテロ用の積層構造(ダブルヘテロ構造)22を形成させる。

- [0148] この積層構造22(第1結晶成長層22;半導体レーザ層)では、AlGaAs等からなるn型クラッド層23・AlGaAs等からなる多重量子井戸型(MQW)の活性層24・AlGaAs等からなるp型クラッド層25・p型のGaAs層26が、この順で、n型のGaAs等で構成される半導体基板21上に(すなわち半導体基板21側から)成膜されるようになっている。
- [0149] なお、このダブルヘテロ用の積層構造22(第1結晶成長層22)は、MOCVD装置内で、連続的な成膜プロセスで形成されるようになっている。また、上述したn型のGaAsで構成された半導体基板1は、 $100\text{ }\mu\text{m}$ 前後の膜厚に設定されるようになっている。
- [0150] そして、ダブルヘテロ構造を形成させるために、n型クラッド層23およびp型クラッド層25のバンドギャップエネルギーが、活性層24のバンドギャップエネルギーよりも大きくなっている。
- [0151] 具体的には、n型クラッド層23およびp型クラッド層25のAl組成(Al比率)を、活性層24のAl組成よりも大きくさせて、バンドギャップエネルギーを大きくさせるようにしている。
- [0152] なお、活性層24では、発光のピーク波長( $\lambda 1$ )を赤外領域の790nm前後になるようなAl組成が、選択(設定)されるようになっている。
- [0153] また、p型クラッド層25の途中に、リッジ27の高さを一定にするための、薄いエッチングストッパー層が挿入されるようにしておくことが好ましい。
- [0154] なお、このエッチングストッパー層としては、p型クラッド層25のAl組成よりも、十分に低く設定されたAlGaAsやGaAsの材料を用いることができる。
- [0155] 〈リッジ(L11用リッジ)の形成〉  
第1回目の結晶成長が終わると、図5Bに示すように、第1の半導体レーザ部L11用のリッジ27の形成が行われる(第1段階目のリッジ形成工程が行われるようになっている)。
- [0156] このリッジ27の形成は、エッチング除去すべき領域以外をレジストで覆い、それをエッチャント(エッチング溶液)に浸すことによって行われる。このようなエッチングを行うことで、第1回目の結晶成長によって形成された結晶の一部が除去され、ストライプ状

のリッジ27が形成されるようになっている。

- [0157] なお、p型クラッド層25の途中に、薄いエッチングストップ層を入れておくことにより、リッジ27の高さを一定にすることができます。
- [0158] 〈第2回目の結晶成長(第2結晶成長)〉  
リッジ27の形成が終わると、図5Cに示すように、半導体基板21の上に(具体的には、ダブルヘテロ構造22におけるp型のGaAs層26に)、第2回目の結晶成長を行うようになっている(第2段階目の半導体結晶成長工程が行われるようになっている)。
- [0159] そして、この第2結晶成長も、第1回目の結晶成長と同様に、MOCVD法を用いて行われるようになっている。
- [0160] 具体的には、第2結晶成長によって、p型のGaAs層26上に、AlGaAsからなるn型層28・GaAsからなるn型層29の順で積層させた積層構造30(第2結晶成長層30；半導体レーザ層)が形成されるようになっている。
- [0161] なお、AlGaAsからなるn型層28のAl組成は、0.51よりも大きな値に設定され、この例では0.65に設定されるようになっている。そして、これらのn型層8・n型層29は、リッジ27の両側に位置して、電流ブロック層として機能するようになっている。
- [0162] また、第2回目の結晶成長では、第1回目の結晶成長によって形成された積層構造(ダブルヘテロ構造)22の結晶劣化を抑制するために、成長温度が、第1回目の結晶成長時の平均的な成長温度よりも低く設定されるようになっている(例えば100°C程度低く設定されるようになっている)。
- [0163] そのため、第2回目の結晶成長層(n型層28・n型層29)の結晶性は、第1回目の結晶成長層22(n型クラッド層23・活性層24・p型クラッド層25・p型のGaAs層26)よりも低下してしまう。つまり、第2回目の結晶成長層(第2結晶成長層30)の表面が凸凹になっている。
- [0164] 〈第2回目の結晶成長層の一部除去〉  
第2回目の結晶成長が終わると、図5Dに示すように、第2の半導体レーザ部L12の形成予定領域に位置する積層構造30(第2結晶成長層30)の除去(一部除去)が行われる(第1段階目の除去工程が行われるようになっている)。
- [0165] 具体的に、積層構造30の除去(一部除去)は、除去すべき領域以外をレジストで覆

い、それをエッチャントに浸すことによって行われるようになっている。詳説すると、初めに、GaAsのn型層29のエッチングが行われ、続いてAlGaAsのn型層28のエッチングが行われるようになっている。

- [0166] そして、GaAsのn型層29のエッチングでは、磷酸系のエッチャントが用いられるようになっている。一方、AlGaAsのn型層28のエッチングでは、GaAsに対して選択性を有する(選択エッチングできる)塩酸、フッ酸、バッファードフッ酸等の酸系のエッチャントが用いられるようになっている。
- [0167] つまり、n型層としてのGaAsのn型層29とAlGaAsのn型層28とのエッチングでは、別々のエッチャントが用いられるようになっている。
- [0168] なお、AlGaAsのn型層28は、その下(下層)に位置するp型のGaAs層26(GaAsからなるコンタクト層26)とのエッチング時の選択性を高めるとともに、光学的特性を高めておきたい。そのために、AlGaAsのn型層28では、Al組成が0.51よりも大きな値に設定されるようになっている。
- [0169] 以上により、塩酸、フッ酸、バッファードフッ酸等の酸系のエッチャントを用いて、AlGaAsのn型層28が選択的に除去される。すると、第1回目の結晶成長時の最上層にあるp型のGaAs層26(コンタクト層26)が露出するようになる。
- [0170] そして、この露出したp型のGaAs層26の表面は、第1回目の結晶成長によって形成されるようになっている。したがって、第2回目の結晶成長よりも、高温で行われるようになっている。したがって、p型のGaAs層26の結晶性は高く、露出したp型のGaAs層26の部分は、凸凹の少ない平坦となっている。
- [0171] <第1回目の結晶成長層の一部除去>  
続いて、共通のエッチャント(例えば磷酸系のもの)を用いて、p型のGaAs層26と、AlGaAsからなるp型クラッド層25・活性層24・n型クラッド層23とで構成される層22(第1回目の結晶成長時に形成した層22)が、エッチングによって除去されるようになっている(第2段階目の除去工程が行われるようになっている)。
- [0172] 具体的には、図5Eに示すように、半導体基板21が露出するまで、一度にエッチングし、第1結晶成長層22を除去するようになっている。なお、このエッチングのとき、第2結晶成長層30の表面に凸凹が形成されていても、その影響(凸凹)は、先行する

エッチング(第2結晶成長層30の一部除去)によってキャンセルされるようになっている。

[0173] したがって、第2の半導体レーザ部L12を配置すべき領域の表面(半導体基板21の表面)は、平坦な状態になる。

[0174] <第3回目の結晶成長(第3結晶成長)>

続いて、図5Fに示すように、MOCVD法を用いて、半導体基板21の上に、第3回目の結晶成長を行うようになっている。具体的には、ダブルヘテロ用の積層構造31(第3結晶成長層31;半導体レーザ層)を形成させるようになっている(第3段階目の半導体結晶成長工程が行われるようになっている)。

[0175] そして、この第3結晶成長によって、半導体基板21上に、GaInPからなるn型層32、AlGaInPからなるn型クラッド層33、AlGaInPからなる多重量子井戸型(MQW)の活性層34、AlGaInPからなるp型クラッド層35、p型のGaInP層36、およびp型のGaAs層37が、この順に積層するようになっている。

[0176] なお、このダブルヘテロ用の積層構造31(第3結晶成長層31)は、MOCVD装置内で、連続的な成膜プロセスで形成されるようになっている。

[0177] そして、ダブルヘテロ構造とするために、n型クラッド層33およびp型クラッド層35のバンドギャップエネルギーが、活性層34のバンドギャップエネルギーよりも大きくなっている。

[0178] 具体的には、n型クラッド層33およびp型クラッド層35のAl組成(Al比率)を、活性層34のAl組成よりも大きくさせて、バンドギャップエネルギーを大きさせるようにしている。

[0179] なお、活性層34では、発光のピーク波長( $\lambda_2$ )を赤領域の655nm前後になるようなAl組成が選択(設定)されるようになっている。

[0180] また、p型クラッド層35の途中に、リッジ38(後述の図6H参照)の高さを一定にするための、薄いエッチングストッパー層が挿入されるようにしておくことが好ましい。

[0181] なお、このエッチングストッパー層としては、p型クラッド層35のAl組成よりも、十分に低く設定されたAlGaInPやGaInPの材料を用いることができる。

[0182] <第3回目の結晶成長層の一部除去>

続いて、図6Gに示すように、第2の半導体レーザ部L12として利用する部分以外の第3回目の結晶成長層31(第3結晶成長層31)が除去されるようになっている(第3段階目の除去工程が行われるようになっている)。

- [0183] この除去では、GaAsおよびAlGaAs用の磷酸系のエッチャントと、AlGaInPやGaN用の臭化水素酸(HBr)および塩酸との混合液からなるエッチャントとを、順次用いるようになっている。
- [0184] そして、この除去工程を経ることで、第1の半導体レーザ部L11上に位置する、第3回目の結晶成長に係る層31(第3結晶成長層31)が除去されるようになっている。
- [0185] 〈リッジ(L12用リッジ)の形成〉  
続いて、図6Hに示すように、第2の半導体レーザ部L12用のリッジ38が形成されるようになっている(第2段階目のリッジ形成工程が行われるようになっている)。
- [0186] このリッジ38の形成は、エッチングすべき領域以外を酸化シリコン等のマスクにて覆い、それをエッチャントに浸すことによって行われるようになっている。このようなエッチングを行うことで、第3回目の結晶成長によって形成された結晶の一部が除去され、ストライプ状のリッジ38が形成されるようになっている。
- [0187] なお、p型クラッド層35の途中に、薄いエッチングストッパー層を入れておくことにより、リッジ38の高さを一定にすることができる。
- [0188] 〈第4回目の結晶成長(第4結晶成長)〉  
リッジ38の形成が終わると、図6Iに示すように、半導体基板21の上に(具体的には、ダブルヘテロ構造31におけるp型のGaAs層37に)、第4回目の結晶成長を行うようになっている(第4段階目の半導体結晶成長工程が行われるようになっている)。
- [0189] なお、第4結晶成長は、第1～3回目の結晶成長と同様に、MOCVD法を用いて行われるようになっている。
- [0190] そして、具体的には、第4結晶成長によって、p型のGaAs層37上に、AlInPからなるn型層39・GaAsからなるn型層40の順に積層した積層構造41(第4結晶成長層41;半導体レーザ層)が形成されるようになっている。
- [0191] また、これらのn型層39・n型層40は、リッジ38の両側に位置して、電流ブロック層として機能するようになっている。

- [0192] また、第4回目の結晶成長では、第3回目の結晶成長によって形成された積層構造(ダブルヘテロ構造)31の結晶劣化を抑制するために、成長温度が、第3回目の結晶成長時の平均的な成長温度よりも低く設定されるようになっている(例えば100°C程度低く設定されるようになっている)。
- [0193] <開口形成>
- 次に、図6Jに示すように、第1半導体レーザ部L11のリッジ27、および、第2半導体レーザ部L12のリッジ38の頂上部を覆う電流ブロック層(n型層39・n型層40)に開口を形成するようになっている(開口形成工程が行われるようになっている)。
- [0194] <電極(n型電極・p型電極)形成>
- そして、開口を設けることで、リッジ27・リッジ38への電流通路を形成させた後、図6Kに示すように、開口を覆うようにして、第1半導体レーザ部L11・第2の半導体レーザ部L12の各々に、p型電極42・p型電極43を設けるようになっている。
- [0195] また、第1半導体レーザ部L11・第2の半導体レーザ部L12の構成された半導体基板21上に、共通となるn型電極44が形成されるようになっている(電極形成工程が行われるようになっている)。
- [0196] <素子分離(へき開工程)>
- そして、一枚のウエハに、上記のような工程を経ることによって形成された複数の半導体レーザ部(L11・L12)を有する半導体レーザ素子LD5は、スクライブ法等を利用して、バー状に分離されるようになっている。
- [0197] なお、共振器を構成する一対の面に、反射率を調整するための被膜を形成した後、個々に細分化し、図7の斜視図を示すような、2波長型のモノリシックタイプの半導体レーザ素子LD5が完成するようになっている。
- [0198] そして、p型電極42とn型電極44とに所定の電圧を加えると、電流がリッジ27の頂上部から注入されるようになり、半導体レーザ部L11から、波長 $\lambda_1$ のレーザ光が図7の矢印方向(ストライプ方向と同方向)に出射するようになっている。
- [0199] また、p型電極43とn型電極44とに所定の電圧を加えると、電流がリッジ38の頂上部から注入されるようになり、半導体レーザ部L12から、波長 $\lambda_2$ のレーザ光が図7の矢印方向(ストライプ方向と同方向)に出射するようになっている。

[0200] [半導体レーザ素子の製造方法における種々の特徴について]

以上のように、本発明の半導体レーザ素子LD5の製造方法では、複数のリッジ27・38の形成される半導体レーザ層を設ける半導体レーザ層形成工程が、各リッジ27・38に対応する半導体レーザ層(半導体レーザ部L11・L12)を形成する半導体レーザ部形成工程を複数含んでいる。

[0201] すなわち、半導体レーザ部L11を形成させる半導体レーザ部形成工程と、半導体レーザ部L12を形成させる半導体レーザ部形成工程とから、半導体レーザ層形成工程が構成されるようになっている。

[0202] そして、各半導体レーザ部形成工程は、複数段階の半導体結晶成長工程を含むように構成されている。その上、各段階の半導体結晶成長工程によって形成された半導体レーザ層(例えば、第1結晶成長層22や第2結晶成長層30)を除去していく除去工程が、複数含まれるようになっている。

[0203] 例えば、除去工程は、段階的に複数含まれるようになっており、各除去工程は、各段階の半導体結晶成長工程によって形成された半導体レーザ層(例えば第1結晶成長層22や第2結晶成長層30)に対応して、各半導体レーザ層を除去するようになっている。

[0204] つまり、各結晶成長層に対応する(すなわち各結晶成長層のみを除去する)除去工程が含まれるようになっている。

[0205] 上述してきたモノシリックタイプの半導体レーザ素子LD5では、1枚状の半導体基板21上に、複数の半導体レーザ部(L11・L12)を設けるようになっている。そのため、1枚状の半導体基板21上で、半導体レーザ部(L11・L12)の配設位置を異ならせるようにしている。

[0206] すると、1つの半導体レーザ部形成工程を経ることで、1つの半導体レーザ部L11を半導体基板21上に形成させた後、その形成された半導体レーザ部L11以外の領域(残存領域)に該当する半導体レーザ層を除去する必要がある。なぜなら、この残存領域に、別の半導体レーザ部L12を形成させるためである。

[0207] ここで、本発明の半導体レーザ素子の製造方法では、既に形成された半導体レーザ層を段階的に除去するようになっている。具体的には、複数の半導体結晶(例えば

第1結晶成長層22や第2結晶成長層30)から構成される半導体レーザ層を、各半導体結晶(各結晶成長層)に対応させて除去するようになっている。

- [0208] つまり、本発明の半導体レーザ素子LD5の製造方法では、各結晶成長層のみを除去する除去工程が複数含まれ、段階的に半導体レーザ層を除去するようになっている。
- [0209] このように、段階的な除去を行っていくと、最上層(第2結晶成長層30)の平滑性の悪影響が、半導体基板21を表出させる除去工程に至る、前段階の除去工程(第1段階目の除去工程)で解消(キャンセル)されるようになる。つまり、最上層の凸凹等の影響を直接受けないようになる。
- [0210] したがって、複数回なされる除去工程を経ることで(すなわち第2段階目の除去工程を経て)、表出する半導体基板21上は、極めて平滑性の高いものとなる。そのため、別の半導体レーザ部L12における半導体レーザ層の結晶性は高まり、所望の素子特性を有する半導体レーザ素子LD5を形成することができる。
- [0211] [実施の形態5を応用した形態]  
なお、本発明は上記の実施の形態に限定されず、本発明の趣旨を逸脱しない範囲で、種々の変更が可能である。
- [0212] 例えば、上記の実施の形態5では第2回目の結晶成長層の一部除去において、第1回目の結晶成長時の最上層(p型のGaAs層26)が露出するまでエッチングした後に、第1回目の結晶成長層の一部除去が行われるようになっている。しかし、この工程に限定されるものではない。
- [0213] 例えば、第1回目の結晶成長時の層(第1結晶成長層22)のうち、最上層以外の層が露出するまでエッチングしてもよい。
- [0214] すなわち、第1回目の結晶成長時の最上層以外の層が露出するまで、第1結晶成長層22および第2結晶成長層30をエッチングして、第2回目の結晶成長時の影響を受けないようにする。
- [0215] そして、このエッチングで、凸凹の少ない平坦な面を露出させた後、第1回目の結晶成長で成長した残りの結晶成長層(第1結晶成長層22の残存部)をエッチング除去する。すると、エッチング除去によって露出した半導体基板21の表面が、凸凹の少

ない平坦な面となる。

[0216] [その他の実施の形態]

なお、本発明は上記の実施の形態に限定されず、本発明の趣旨を逸脱しない範囲で、種々の変更が可能である。

[0217] 例えば、実施の形態5で説明したp型電極42・p型電極43が、実施の形態1～4で説明してきた2層構造のp型電極のようになっていても構わない。

産業上の利用可能性

[0218] 本発明は、例えばCD-R/RW、DVD-R/+RWなどの記録媒体に対して情報の記録、再生を行う情報記録再生装置の光源、あるいは光通信用光源として使用される半導体レーザ素子(例えば複数波長のレーザ光を発する半導体レーザ素子やそれに類するモノリシックタイプの半導体レーザ素子)、およびその製造に利用可能である。

## 請求の範囲

- [1] 半導体基板上の方の面に半導体レーザ層を設けるとともに、この半導体レーザ層および上記半導体基板を挟持するように、上記半導体レーザ層側に第1型電極を設ける一方、上記半導体基板側に第2型電極を設けた半導体レーザ素子において、  
上記第1型電極は、第1電極と、この第1電極を覆う第2電極とから構成されていることを特徴とする半導体レーザ素子。
- [2] 上記半導体レーザ層には、ストライプ状でかつ隆起したリッジが設けられており、  
上記第1電極は、上記リッジの少なくとも天部を覆うように形成される一方、  
上記第2電極は、上記半導体レーザ層の一面の面積よりも、小さな面積で形成されていることを特徴とする請求項1に記載の半導体レーザ素子。
- [3] 上記第2電極は、上記半導体レーザ層の周端部から離間するように形成されていることを特徴とする請求項2に記載の半導体レーザ素子。
- [4] 上記半導体レーザ層の周端部から離間している距離は、 $10 \mu m$ 以上かつ $30 \mu m$ 以下であることを特徴とする請求項3に記載の半導体レーザ素子。
- [5] 上記第1電極の膜厚は、上記第2電極の膜厚よりも薄いことを特徴とする請求項1に記載の半導体レーザ素子。
- [6] 上記第1電極の膜厚は、 $10 nm$ 以上かつ $30 nm$ 以下であることを特徴とする請求項5に記載の半導体レーザ素子。
- [7] 上記半導体レーザ層には、ストライプ状でかつ隆起したリッジが複数設けられており  
上記第1電極は、上記リッジの少なくとも天部を覆うように形成される一方、  
上記第2電極は、上記各リッジに対応した半導体レーザ層の一面の面積よりも、小さな面積で形成されていることを特徴とする請求項1に記載の半導体レーザ素子。
- [8] 上記半導体レーザ層には、上記の複数設けられたリッジ同士を区切る溝が形成されており、  
上記第1電極は、上記溝によって区切られた半導体レーザ層の一面に対応して設けられていることを特徴とする請求項7に記載の半導体レーザ素子。
- [9] 半導体基板上の方の面に半導体レーザ層を設けるとともに、この半導体レーザ

層および上記半導体基板を挟持するように、上記半導体レーザ層側に第1型電極を設ける一方、

上記半導体基板側に第2型電極を設けた半導体レーザ素子の製造方法において

上記第1型電極は、第1電極と、この第1電極を覆う第2電極とから構成されており、この第1型電極の製造工程は、上記第1電極を形成させる第1電極形成工程と、上記第2電極を形成させる第2電極形成工程とから構成されていることを特徴とする半導体レーザ素子の製造方法。

- [10] 上記半導体レーザ層に、ストライプ状でかつ隆起したリッジを設けるリッジ形成工程が含まれ、

このリッジ形成工程後に、上記第1電極形成工程を行って、上記第1電極を、上記リッジの少なくとも天部を覆うように形成させる一方、

上記第2電極形成工程を行って、上記第1電極上に、上記第2電極を、上記半導体レーザ層の一面の面積よりも、小さな面積で形成させることを特徴とする請求項9に記載の半導体レーザ素子の製造方法。

- [11] 上記第2電極形成工程では、上記半導体レーザ層の周端部から離間するように上記第2電極を形成させていることを特徴とする請求項10に記載の半導体レーザ素子の製造方法。

- [12] 上記半導体レーザ層に、ストライプ状でかつ隆起したリッジを複数設けるリッジ形成工程が含まれ、

このリッジ形成工程後に、上記第1電極形成工程を行って、上記第1電極を、上記リッジの少なくとも天部を覆うように形成させる一方、

上記第2電極形成工程を行って、上記第1電極上に、上記第2電極を、上記各リッジに対応した半導体レーザ層の一面の面積よりも、小さな面積で形成させることを特徴とする請求項9に記載の半導体レーザ素子の製造方法。

- [13] 上記リッジ形成工程で設けられた複数のリッジ同士を区切る溝を、上記半導体レーザ層に形成させる溝形成工程が含まれており、

上記第1電極形成工程では、上記溝形成工程によって形成された溝によって区切

られた半導体レーザ層の一面に対応して、第1電極を形成させていることを特徴とする請求項12に記載の半導体レーザ素子の製造方法。

[14] 上記の第1電極および第2電極における、少なくとも一方は、リフトオフ法を用いて形成されていることを特徴とする請求項9に記載の半導体レーザ素子の製造方法。

[15] 上記複数のリッジの形成される半導体レーザ層を設ける半導体レーザ層形成工程は、

各リッジに対応する半導体レーザ層を形成する半導体レーザ部形成工程を複数含んでおり、

上記の各半導体レーザ部形成工程は、複数段階の半導体結晶成長工程を含むよう構成されるとともに、

各段階の半導体結晶成長工程によって形成された半導体レーザ層を除去していく除去工程が、複数含まれていることを特徴とする請求項12に記載の半導体レーザ素子の製造方法。

[16] 上記の除去工程は、段階的に複数含まれるようになっており、

各除去工程は、上記の各段階の半導体結晶成長工程によって形成された半導体レーザ層に対応して、各半導体レーザ層を除去するようになっていることを特徴とする請求項15に記載の半導体レーザ素子の製造方法。

[17] 上記の段階的な半導体結晶成長工程では、前段階の半導体結晶成長工程での結晶成長温度よりも、後段階の半導体結晶成長工程での結晶成長温度のほうが低くなっていることを特徴とする請求項15に記載の半導体レーザ素子の製造方法。

[18] 活性層を上下のクラッド層で挟むとともに、上記の上クラッド層の一部にストライプ状のリッジが形成され、このストライプ状のリッジの天面を除くリッジの両側を電流プロック層で覆ったリッジストライプ型の半導体レーザ素子において、

上記半導体レーザ素子の上面に、第1電極が形成されるとともに、この第1電極上に第2電極が形成され、

上記第1電極は、上記第2電極よりも薄くするとともに、少なくとも、上記リッジの天面の全面を覆うように形成され、

上記第2電極は、上記リッジのストライプ方向の両端から一定の距離隔てて形成さ

れていることを特徴とする半導体レーザ素子。

- [19] 活性層を上下のクラッド層で挟むとともに、上記の上クラッド層の一部にストライプ状のリッジが形成され、このストライプ状のリッジの天面を除くリッジの両側を電流プロック層で覆ったリッジストライプ型の半導体レーザ部を、共通の半導体基板上に、複数備えたマルチビーム型の半導体レーザ素子において、

上記各半導体レーザ部の上面には、第1電極が形成されるとともに、この第1電極上に第2電極が形成され、

上記第1電極は、上記第2電極よりも薄くするとともに、少なくとも、上記リッジの天面の全面を覆うように形成され、

上記第2電極は、上記リッジのストライプ方向の両端から一定の距離隔てて形成されていることを特徴とする半導体レーザ素子。

- [20] 上記複数の半導体レーザ部の間には、半導体レーザ部同士を電気的に分離するための溝が設けられ、

上記第1電極は、この溝を避けた位置に形成されるようになっていることを特徴とする請求項19に記載の半導体レーザ素子。

- [21] 活性層を上下のクラッド層で挟むとともに、上記の上クラッド層の一部にストライプ状のリッジが形成され、このストライプ状のリッジの天面を除くリッジの両側を電流プロック層で覆ったリッジストライプ型の半導体レーザ素子の製造方法において、

少なくとも、上記リッジの天面の全面を覆うように、第1電極を形成する第1電極形成工程と、

上記第1の電極上に、第2電極を形成する第2電極形成工程と、

上記ストライプ状のリッジと、直交する半導体レーザ素子端面をへき開するへき開工程とを含み、

上記第1電極形成工程では、上記第1電極を上記第2電極よりも、薄い厚さとなるよう

に形成する一方、

上記第2電極形成工程では、第2電極を上記リッジのストライプ方向の両端から、一定の距離隔てて形成することを特徴とする半導体レーザ素子の製造方法。

- [22] 活性層を上下のクラッド層で挟むとともに、上記の上クラッド層の一部にストライプ状のリッジが形成され、このストライプ状のリッジの天面を除くリッジの両側を電流プロック層で覆ったリッジストライプ型の半導体レーザ部を、共通の半導体基板上に、複数備えたマルチビーム型の半導体レーザ素子の製造方法において、  
少なくとも、上記各リッジの天面の全面を覆うように、第1電極を形成する第1電極形成工程と、  
上記第1の電極上に、第2電極を形成する第2電極形成工程と、  
上記ストライプ状のリッジと、直交する半導体レーザ素子端面をへき開するへき開工程とを含み、  
上記第1電極形成工程では、上記第1電極を上記第2電極よりも、薄い厚さとなるよう形成する一方、  
上記第2電極形成工程では、第2電極を上記リッジのストライプ方向の両端から、一定の距離隔てて形成することを特徴とする半導体レーザ素子の製造方法。
- [23] 上記複数の半導体レーザ部の間に、半導体レーザ部同士を電気的に分離するための溝を形成する溝形成工程が含まれ、  
上記第1電極形成工程では、上記第1電極を、上記溝を避けた位置に形成させるようになっていることを特徴とする請求項22に記載の半導体レーザ素子の製造方法。
- [24] 上記の第1電極形成工程および第2電極形成工程における、少なくとも一方は、リフトオフ法を用いて形成させていることを特徴とする請求項21に記載の半導体レーザ素子の製造方法。
- [25] 半導体基板上に、第1回目の結晶成長と第2回目の結晶成長とを含む結晶成長を行い、第1の半導体レーザ部を作成するとともに、  
上記半導体基板上の上記第1の半導体レーザ部の位置する領域とは別の領域での上記第1回目および上記第2回目の結晶成長で成長した結晶を除去した後、  
上記半導体基板上で結晶成長させて、半導体基板上の上記別の領域に、第2の半導体レーザを作成する半導体レーザ素子の製造方法において、  
上記別の領域上の上記第1回目および上記第2回目の結晶成長で成長した結晶を除去する場合に、

上記第1回目の結晶成長で成長した結晶の層が露出するように、上記第2回目の結晶成長で成長した結晶を除去する第2結晶成長層除去工程と、

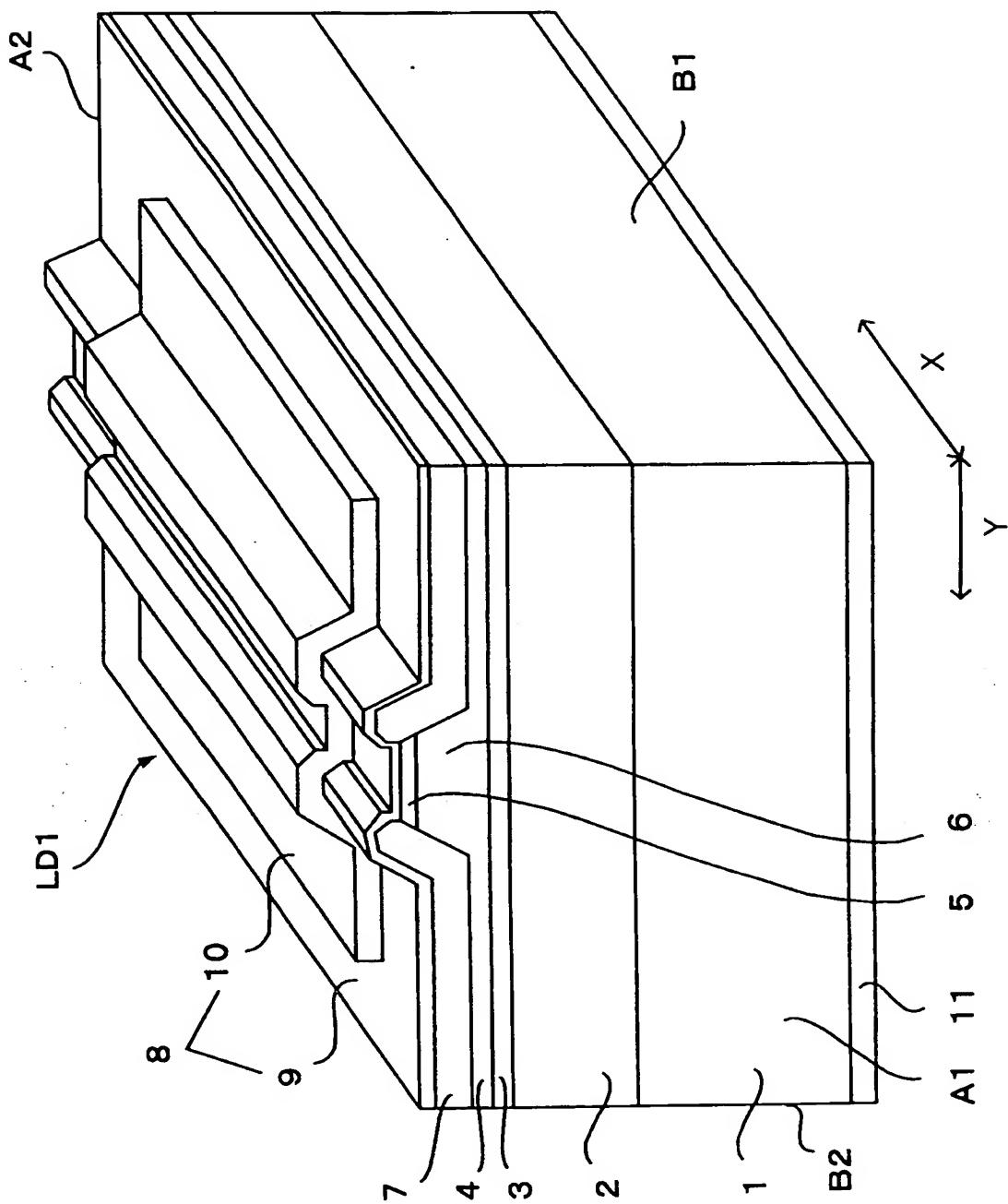
上記第1の結晶成長で成長した結晶を除去する第1結晶成長層除去工程と、  
を含むことを特徴とする請求項22に記載の半導体レーザ素子の製造方法。

- [26] 上記第1回目の結晶成長時の成長温度よりも、上記第2回目の結晶成長時の成長温度が低く設定されていることを特徴とする請求項25に記載の半導体レーザ素子の  
製造方法。

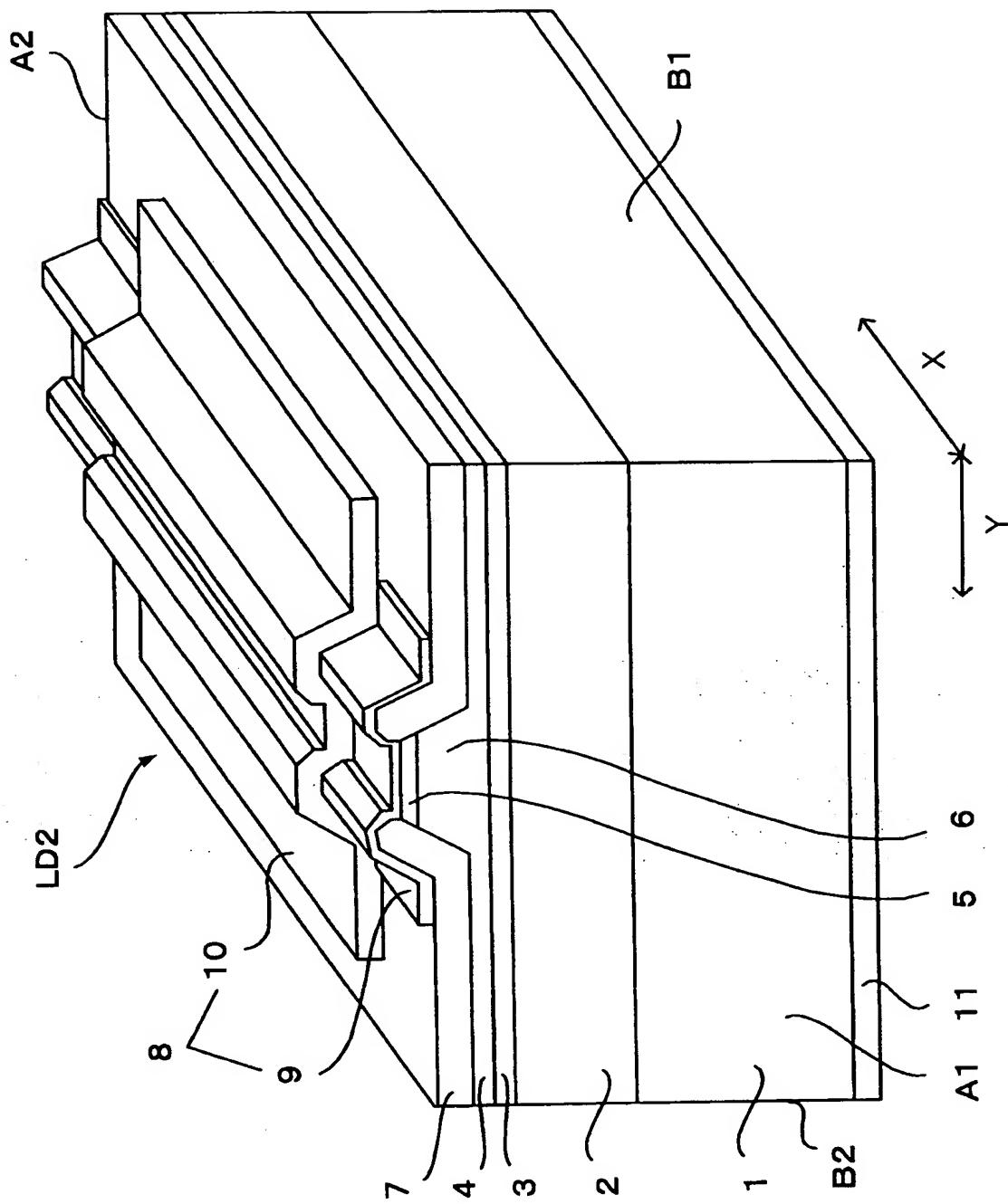
## 要 約 書

半導体レーザ素子(LD1)では、半導体基板(1)上の方の面に、半導体レーザ層を設けるとともに、この半導体レーザ層および半導体基板(1)を挟持するように、半導体レーザ層側にp型電極(8)を設ける一方、半導体基板(1)側にn型電極(11)を設けるようになっている。そして、p型電極(8)は、第1電極(9)と、この第1電極(9)を覆う第2電極(10)とから構成されるようにしている。

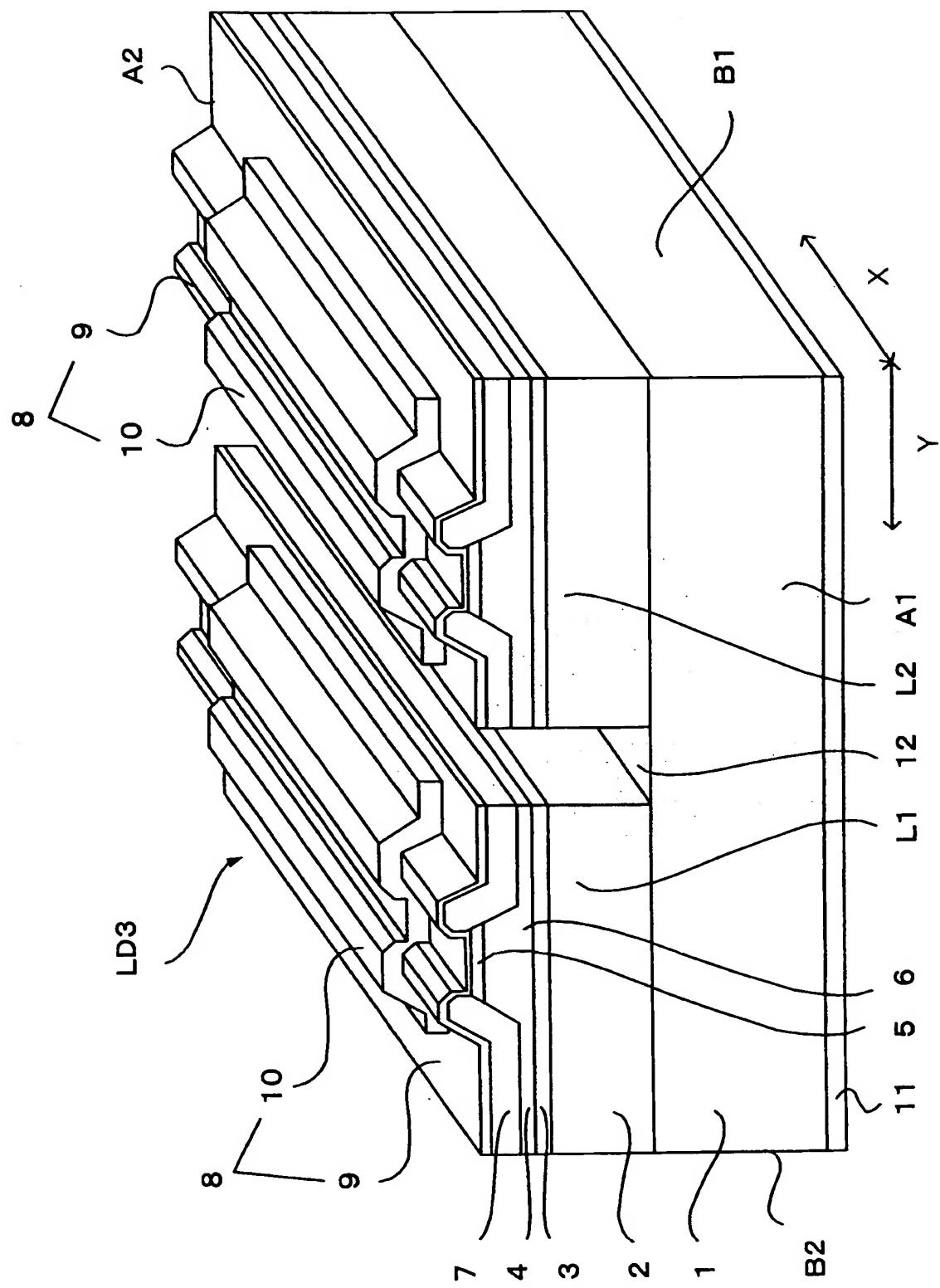
[図1]



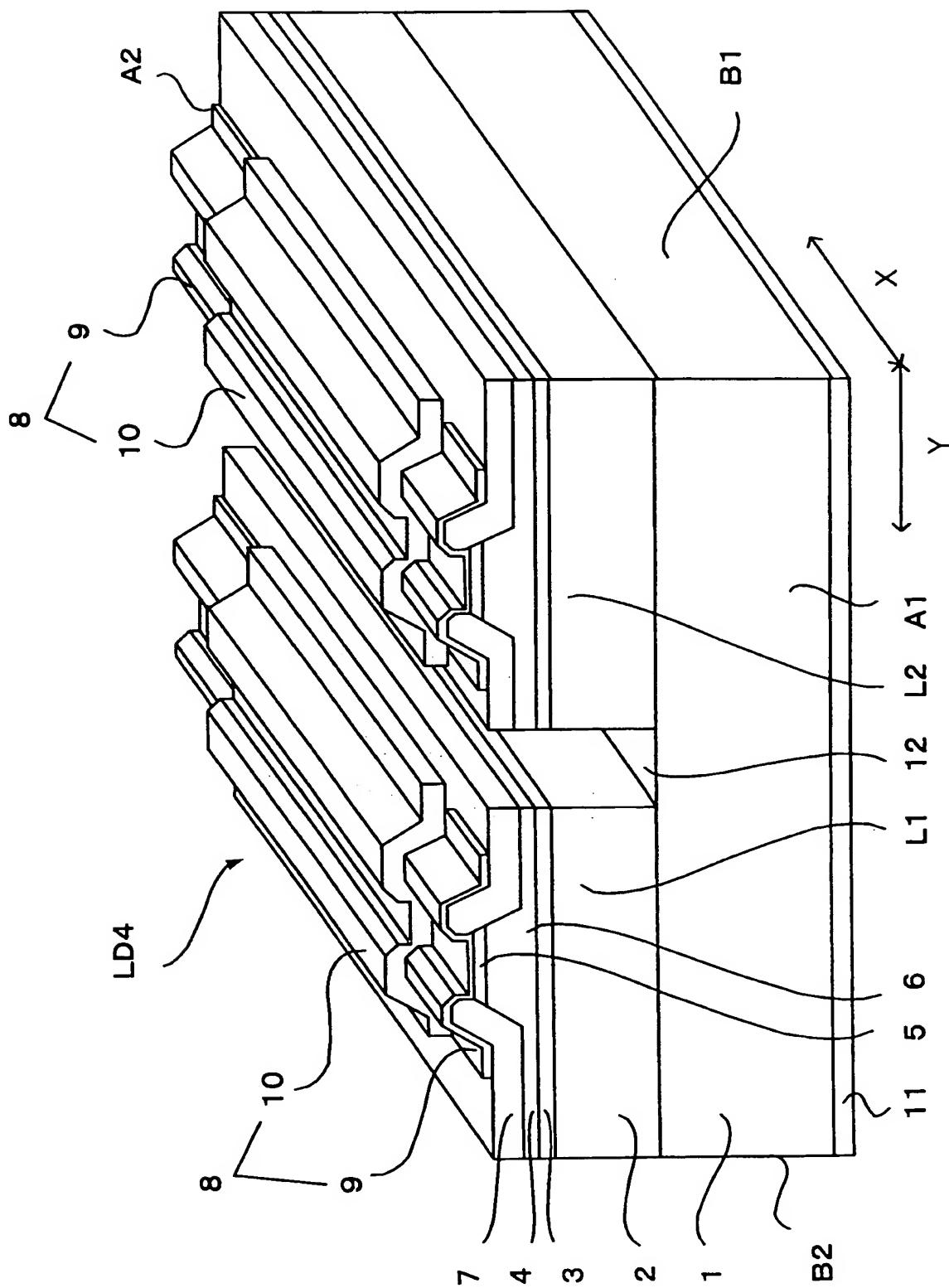
[図2]



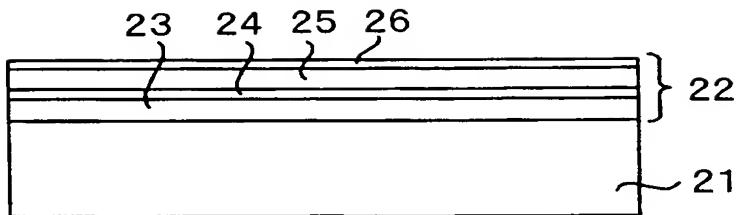
[図3]



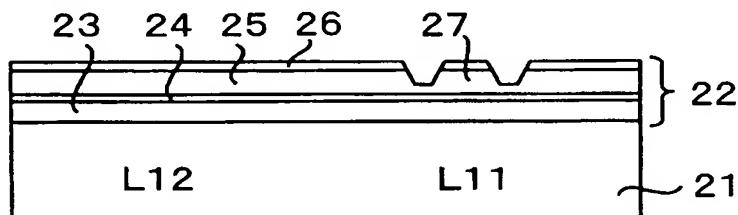
[図4]



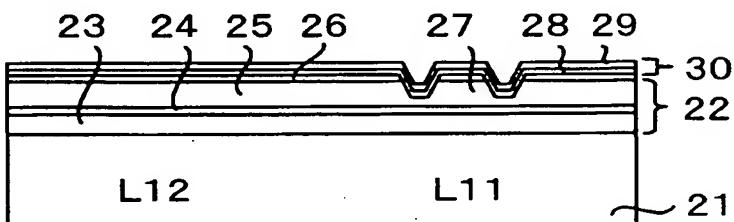
[図5A]



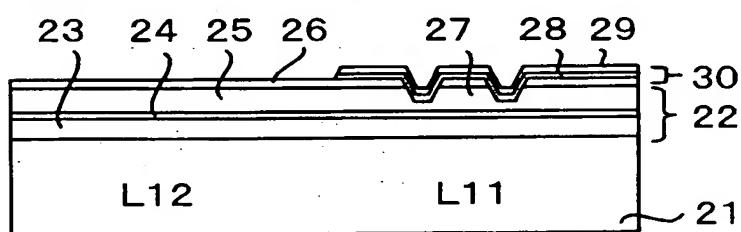
[図5B]



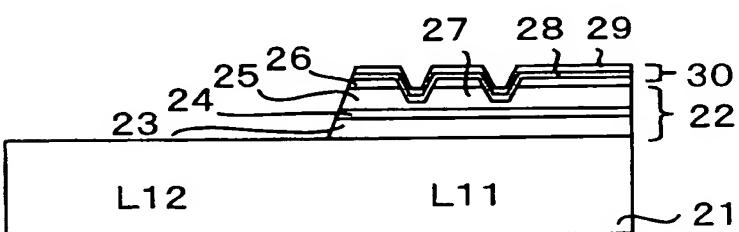
[図5C]



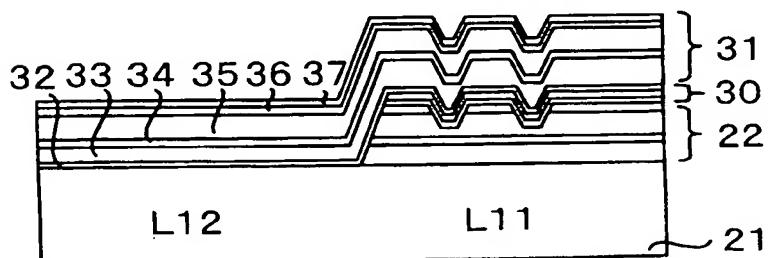
[図5D]



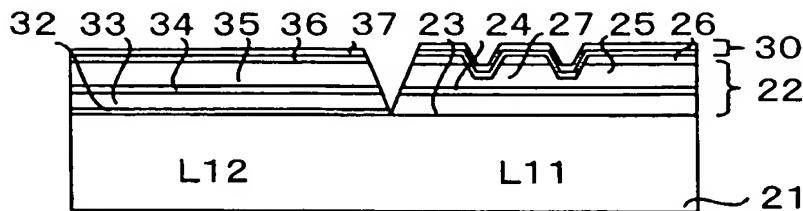
[図5E]



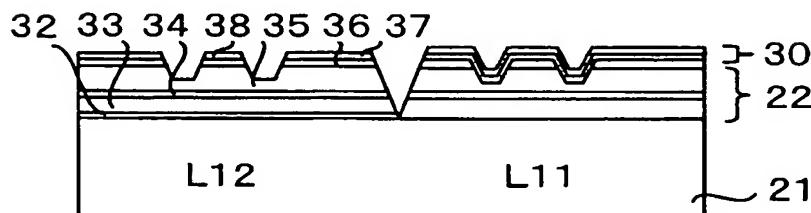
[図5F]



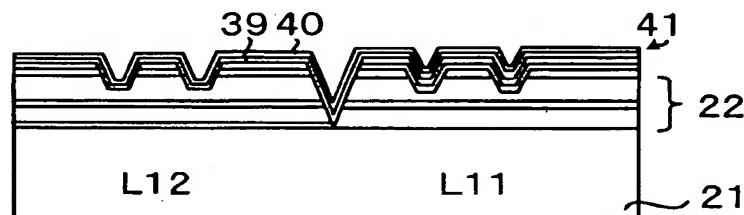
[図6G]



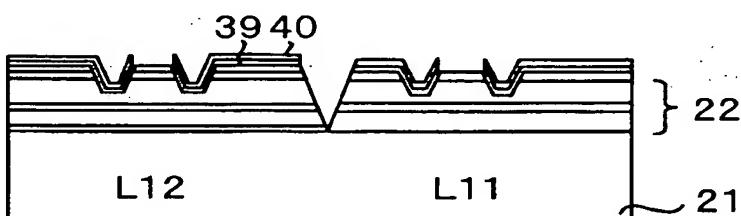
[図6H]



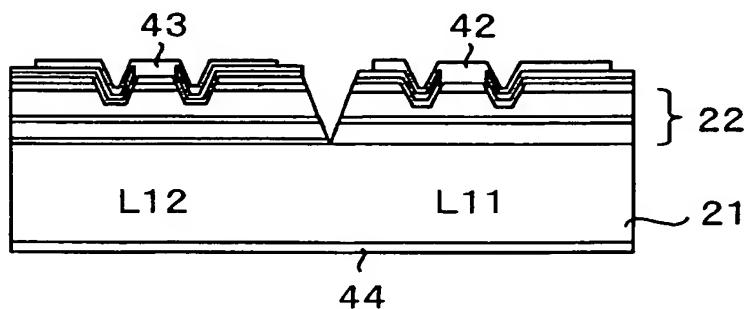
[図6I]



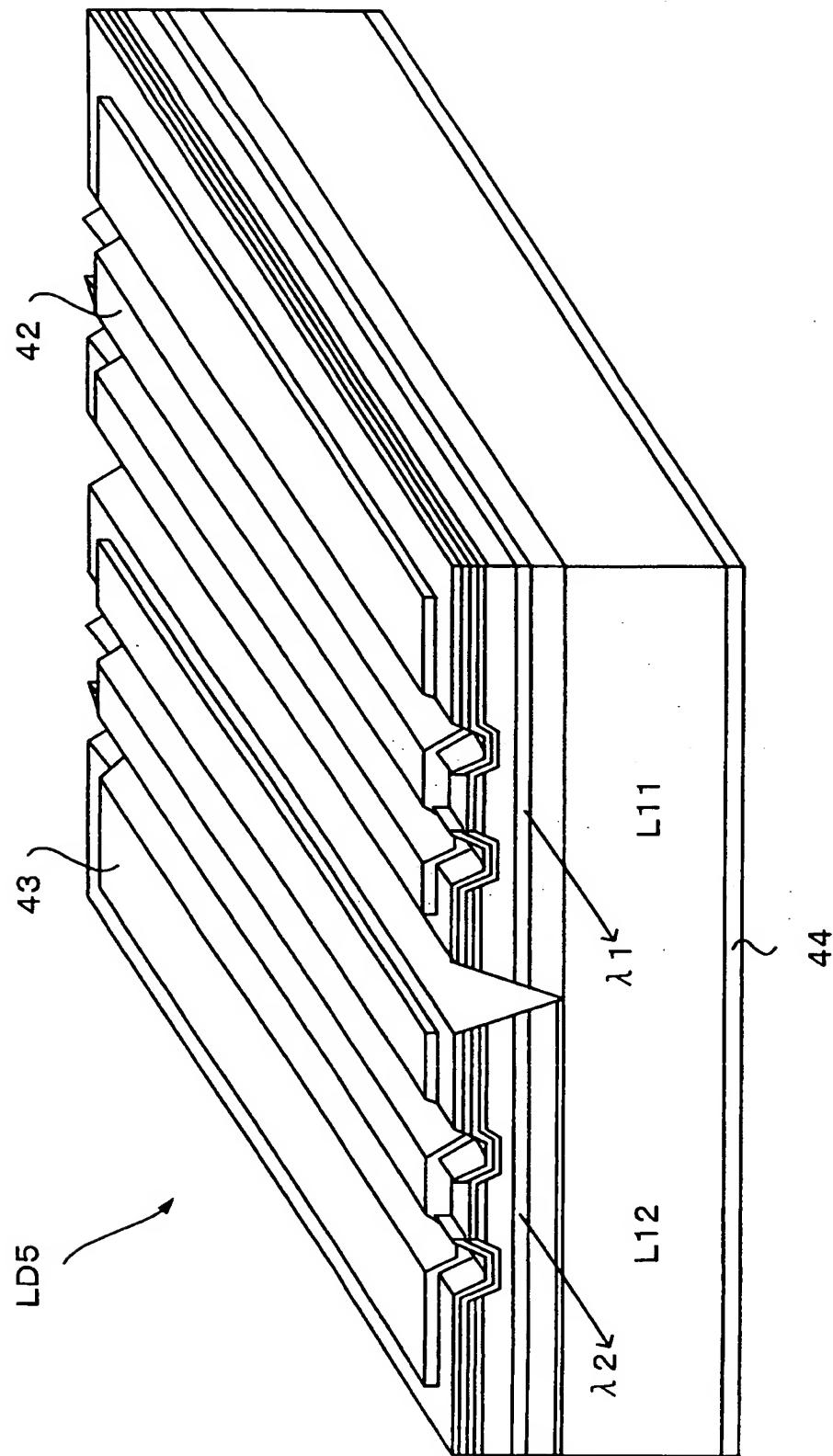
[図6J]



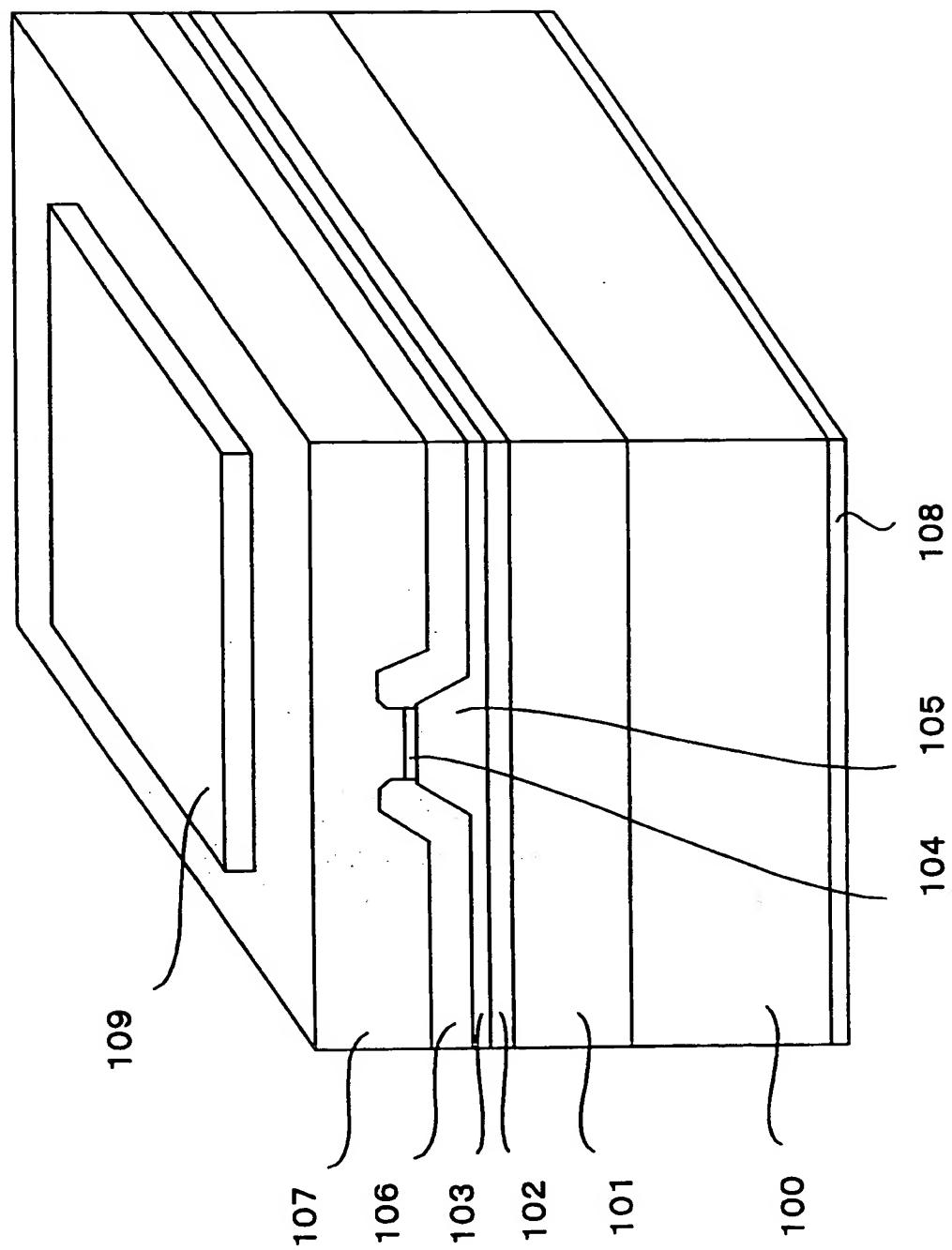
[図6K]



[図7]



[図8]



[図9]

